

⑯ 公開特許公報 (A) 昭61-196553

⑯ Int.Cl.
H 01 L 21/88
21/94識別記号
厅内整理番号
6708-5F
6708-5F

⑰ 公開 昭和61年(1986)8月30日

審査請求 未請求 発明の数 1 (全3頁)

⑯ 発明の名称 半導体装置

⑰ 特願 昭60-36878
⑰ 出願 昭60(1985)2月26日⑯ 発明者 中村俊夫 東京都港区芝5丁目33番1号 日本電気株式会社内
⑰ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
⑯ 代理人 弁理士内原晋

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

多層配線を有する半導体装置において、層間絶縁膜の構造として有機物を含む絶縁膜の上面、下面、側面の面が塗化シリコン膜でおおわれていることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、多層配線を有する半導体装置の層間絶縁膜に関するものである。

〔従来の技術〕

従来、この種の多層配線用層間絶縁膜としては、気相成長塗化膜、リンシリケートガラス、プラスマ塗化膜等の無機絶縁膜か、ポリイミドシリコン、グラーポリマー等の有機絶縁膜が使用されている。

第3図(A)に無機絶縁膜312の例を、第3図(B)に有機絶縁膜313の例を示す。図において、塗化膜302を有する半導体基板301上に形成された第1層目のアルミニウム配線303が層間絶縁膜312, 313に開孔されたスルーホール308を介して第2層目のアルミニウム配線311と接続された構造になっている。

〔発明が解決しようとする問題点〕

多層配線用層間絶縁膜として、無機絶縁膜は膜は安定性、絶縁耐圧等で優れているが均一な膜しか成長できないため、アルミニウム配線段部でのカバーレッジが悪いという欠点がある。リンシリケートガラスのリフロー技術を用いるカバーレッジ改良技術もしられているが、第1層目のアルミニウム膜形成後では許容される最高温度は500°Cと低いため充分にリフローさせることができない。一方、有機絶縁膜は、一般に、ステップカバーレッジが良好で、半導体表面をほぼ完全に平坦にできること及び、1~5μmの膜厚であれば、500°C以下の熱処理ではクラックが発生しないという特

敵をもっている。しかし、水分があるとこれを吸収してリーク電流が増大し、絶縁膜として役立たなくなる。即ち、有機絶縁は耐湿性が弱いという欠点がある。

以上のように、従来の層間絶縁膜には、ステップガバレッジが良くないとか、耐湿性が劣るという欠点がある。

(問題点を解決するための手段)

本発明は、上記欠点を除去し、平坦性に優れ、かつ、耐湿性も強い高品質な層間絶縁膜を提供するものである。即ち、本発明の多層配線用層間絶縁膜は、有機絶縁膜の上面、下面、側面の面を、好ましくは全面を耐湿性に強い無機絶縁膜で完全におわされた構造を有している。

(実施例)

次に、本発明について図面を参照して説明する。第1図は本発明の一実施例の縦断面図である。酸化膜202を有する半導体基板201の一主面上に形成された第1層目アルミニウム配線103と第2層目アルミニウム配線111は、全面を塗化

である。次いでスリーホール部208、及びスクライプ領域209近傍の層間絶縁膜をエッチング除去する(第2図(A))。この場合、層間絶縁膜207の側面は垂直方向にほぼ一直線になるようエッチングされることが望ましい。続いて、プラズマ塗化膜210を0.3μm被着する(第2図(B))。プラズマ塗化膜はカバレッジが良好な膜であるため、層間絶縁膜207のエッチャング側面にもよく被着する。続いて、全面を、異方性イオンエッチャングを用いて、プラズマ塗化膜0.3μm程度エッチャング除去すると、スリーホール部208、及びスクライプ領域209の層間絶縁膜側面に塗化膜210', 210'', 210'''が残る(第2図(C))。その後は通常通り第2層目アルミニウム211を形成することにより所望の半導体装置が得られる。

(効果)

以上説明したように本発明の層間絶縁膜は、耐湿性が強く、且つ、表面が平坦であるため、上層に微細なアルミニウム配線パターンを形成することが可能となる。従って同じ構造の絶縁膜を使用

シリコン膜104でおわされた有機絶縁膜105よりなる層間絶縁膜107にて、スリーホール部208以外は電気的に絶縁分離された構造になっている。

該層間絶縁膜107はチップ端にあるスクライプ領域209まで延在して形成されていないため、チップをスクライプした場合にも、側面に有機絶縁膜105は露出することもなく、良好な耐湿性を保持できる構造となっている。

次に、本発明の層間絶縁膜を実現する方法について説明する。第2図は、本発明の半導体装置を実現する製造工程の断面図である。酸化膜202を有する半導体基板201上に形成された第1層目アルミニウム配線203上にプラズマ塗化膜204を0.2μm、ポリイミド膜205を配線間に平坦にうまるように1~2μm、更に、プラズマ塗化膜206を0.2μm連続被着し、層間絶縁膜207を形成する。ここで、プラズマ塗化膜204, 206は、バシベーション膜として効果があるためには、0.15μm程度以上は膜厚が必要

することにより配線層を3層以上積み重ねることが可能となる。

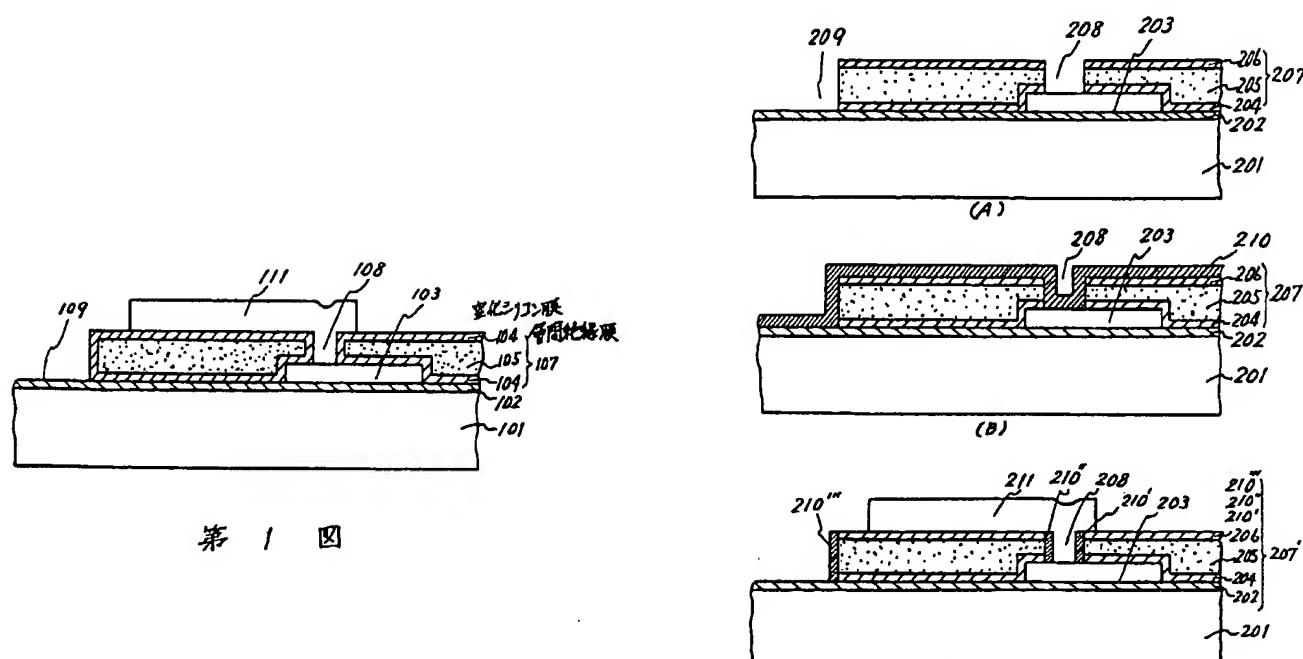
4. 図面の簡単な説明

第1図は、本発明の実施例の表面平坦性が良好で、耐湿性の強い層間絶縁膜を有する半導体装置の縦断面図、第2図は本発明の実施例の半導体装置を実現する主な製造工程の断面図、第3図は、従来の半導体装置の断面図である。

101, 201, 301は半導体基板、102, 202, 302は酸化膜、103, 203, 303は第1層目アルミニウム配線、104, 204, 206, 210, 210', 210'', 210'''は塗化シリコン膜、105, 205は有機絶縁膜(ポリイミド膜)、107, 207は層間絶縁膜、108, 208, 308はスリーホール、109, 209はスクライプ領域、111, 211, 311は第2層目アルミニウム配線、312は無機絶縁膜、313是有機絶縁膜である。

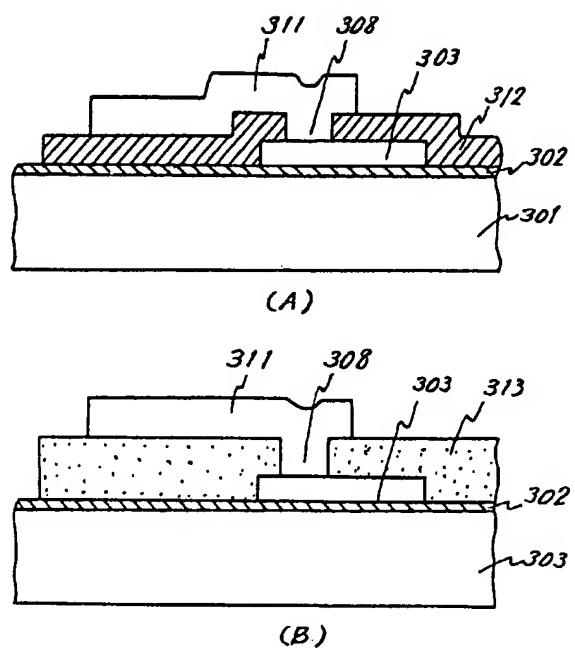
代理人弁理士内原

審査官
特許庁
審査官
特許庁



第 1 図

第 2 図



第 3 図

PAT-NO: JP361196553A
DOCUMENT-IDENTIFIER: JP 61196553 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: August 30, 1986

INVENTOR-INFORMATION:

NAME
NAKAMURA, TOSHIQ

ASSIGNEE-INFORMATION:

NAME NEC CORP	COUNTRY N/A
------------------	----------------

APPL-NO: JP60036878

APPL-DATE: February 26, 1985

INT-CL (IPC): H01L021/88, H01L021/94

US-CL-CURRENT: 438/FOR.354, 438/FOR.401

ABSTRACT:

PURPOSE: To enhance the humidity resistance of the interlayer insulating film, to flatten the surface thereof and to enable to form a fine aluminum wiring pattern on the upper layer, interlayer insulating film, of the titled device by a method wherein the interlayer insulating film is formed into a structure, wherein the faces of the upper face, the lower face and the side faces, each consisting of an insulating film containing an organic substance, of the interlayer insulating film are all covered with a silicon nitride film, as the structure thereof.

CONSTITUTION: This semiconductor device is constituted into a structure, wherein a first-layer aluminum wiring layer 103 and a

second-layer aluminum wiring layer 111, which are formed on one main surface of a semiconductor substrate 10 having an oxide film 102, are electrically insulation-isolated by an interlayer insulating film 107 consisting of an organic insulating film 105, whose faces of the upper face, the lower face and the side faces are all being covered with a silicon nitride film 104, excluding a through hole part 108. As the said interlayer insulating film 107 is not extendedly formed to a scribing region 109, where is located at one end of the chip, the organic insulating film 105 is never made to expose to the side surface of the chip even when a scribbling is performed on the chip. Accordingly, the structure of this semiconductor device is a structure capable of holding a gold himidity resistance.

COPYRIGHT: (C)1986, JPO&Japio